CLIPPEDIMAGE= JP353132281A

PAT-NO: JP353132281A

DOCUMENT-IDENTIFIER: JP 53132281 A TITLE: SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: November 17, 1978

INVENTOR-INFORMATION:

NAME

OKADA, KENJI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP52047073

APPL-DATE: April 22, 1977

INT-CL (IPC): H01L027/04; G11C017/00

US-CL-CURRENT: 257/390,257/910

ABSTRACT:

PURPOSE: To enhance the integration of a writable

read-only semiconductor

memory device by constituting a memory cell of MIS

structure with a thin

insulation film provided between semiconductor an metal

and writing by breaking

the insulation film.

COPYRIGHT: (C) 1978, JPO& Japio

(9)日本国特許庁

(1)特許出願公開

公開特許公報

昭53-132281

6)Int. Cl.² H 01 L 27/04 G 11 C 17/00 識別記号

30日本分類 **99**(5) **H 0 97**(7) C 5 庁内整理番号 7210-57 7010-56 砂公開 昭和53年(1978)11月17日

発明の数 1 審査請求 未請求

(全 3 頁)

60半導体記憶装置

顧 昭52-47073

②出

欧特

願 昭52(1977)4月22日

份発 明 者 岡田賢治

東京都港区芝五丁目33番1号

日本電気株式会社内

加出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

似代 理 人 弁理士 内原晋

明 4期 書

1. 発明の名称 半導体配値装置

2. 特許請求の範囲

書込み可能な説出専用半導体記憶装置に於いて、半導体と金属との間に薄い絶縁膜を有する構造で記憶セルを構成し、前記絶縁膜を破壊することにより書込むことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

本発明は半導体記憶装置、特に審込み可能な 説出専用半導体記憶装置(以下P-ROM と配す) に関するものである。

従来、P-ROMにはニクロム等を配像セルとして使用するヒューズ型やトランジスタをベース開放で使用し、エミッタ・ペース接合の短絡の有無を利用した接合破壊型があり、ヒューズ型のP-ROMは、ヒューズ書込み後の再短絡という

信頼性上の問題を有する欠点があり、接合破壊型 P-ROMに於いては次のような欠点を持っていた。

接合破線型 P--ROMの書込みは選択的に各架子毎 にエミッタ・コレクタ間に一定の大低流を一定時 間流し込み、その発熱による局部的温度上昇によ りエミッタ・ペース接合を短絡破壊される事によ り行われる。又、この種の半導体装置は通常デス ーダ等の周辺回路と共化、集積回路として1チェ プ内に組み込まれるが、周辺回路のトランジスタ は一般に記憶セルと同一工程で並行して作られる ため、エミッタ・ペース接合とコレクタ・ペース 接合の距離、即ちペース幅は所定の電流増幅率を 得るに必要な距離に設定しなければならない。し かるに前記したように配憶セル即ちエミッタ・ベ ース接合の極く近傍に(ペース幅だけの距離をお いて)回り込み用防止用ダイオードとして働くコ レクタ・ペース接合が存在するため、普込み時に エミッタ・ペース接合で発生する熱により前配べ ース・コレクタ接合が害されてその耐圧が低くな り、また十分低抵抗化なるようにエミッタ・ペー

特別昭53-132281(2)

ス接合を短絡破壊することが困難であった。更に 者込み中にいずれかの配像セルで前記コレクタ・ ペース接合の耐圧が害されて低くなると、他の記 億セルの書込みができなくなり、省込み歩留りが 悪いという欠点と、書込み時に大電流が必要であ り、そのため前配周辺回路のトランジスタのディ メンジョンを大きくしなければならず、従って染 稜度が向上しないという欠点をも合せ持っていた。

本発明の半導体配位装置は、半導体と金属との間に将い絶縁膜を有する構造(以下MIS構造と記す)で配位セルを構成して、絶縁物を破壊することにより掛込むことを特徴としている。

しかして本発明によれば、普込みは絶縁膜を絶 縁破数するととにより行われるので、普込電流は

(3)

周知のように、P-ROMは通常マトリックス状に 配憶セルが配列されており、従って第2図に示す ように本発明によるMIS構造の配位セル9と回り 込み防止用ダイオードDを直列に接続して、X,Y 方向の線の交点間に接続することになる。このよ うにMIS構造配憶+ルとダイオードDが直列接続 非常に小さくて済み、周辺回路のトランジスタの ディメンションも小さくできるため、集改度が向 上し、又記憶セルと回り込み防止用ダイオードと して動作するコレクタ・ベース接合との距離を 辺回路のトランジスタの特性を犠牲にすることな く大きくできるため、登込み時に前配回り込み用 防止用ダイオードとしてのコレクタ・ベース接合 を害することがないので、高個額度、高書込歩留 及び高集積度の半導体配憶装置が得られる。

次に本発明をその良好な実施例について図面を 参照しながら詳細に説明する。

本発明のP-ROMは従来の接合破壊型P-ROMにおけるエミッタ・ペース接合の代りに、半導体と金属との間に薄い絶縁膜を有するMIS構造を用いる。ものであり、第1図に示すようにシリコン等の半導体基板1上のシリコン酸化膜等の絶縁膜2に窓を形成し、前配窓の部分に約300Åのシリコン窒化膜等の絶縁膜3を形成し、アルミ等の金属電極4を設けたものである。勿論絶縁膜3の材料に絶縁膜2をそのまり利用し、窓を形成するときに絶

(4)

される構成である場合、第3図に示すように、通 常のパイポーラ型の製造プロセスで形成し、回り 込み防止用ダイオードに従来の接合破婆型 P-ROM と同じようにコレクタ領域 5 とペース領域 6 との コレクタ・ペース接合を利用し、ペース領域6内 に海い絶縁膜7を形成し、金眞電極8を設けると とによりMIS構造配憶セルを構成すれば、集積度 を向上するたとができる。勿論第2図に示すビュ ト線を金属電框8で接続し、ワード線はコレクタ 領域5を共通にするのが従来の接合破壊型P-ROM と同様集積度を向上するのに良い。前配のように 第3図に示すペース領域6は同一の半導体チップ 内に組み込まれる周辺トランジスタのペース領域 と同時に形成されるが、周辺トランジスタの特性 を良くするためにペース幅を十分小さくしても MIS構造記憶セルと回り込み防止用ダイオードで あるコレクタ・ペース接合との距離はペース領域 6の架さ(2pm)だけで決定されており、普込み時に 前記コレクタ・ペース接合が害される恐れはない。

従来の接合破線型P-ROMに於いてはペース幅が

(0.5 µm)がそのまゝ配憶セルと回り込み防止用コレ クタ・ペース接合との距離になっていた。

本実施例によれば、シリコン窒化膜を形成する 工程が通常のパイポーラ型プロセスに追加されているが、現在ではシリコン窒化膜を半導体接合の 保護膜として利用している場合が多く、MIS構造 配位セルを形成するときのシリコン窒化膜がその まり半導体接合の保護膜として利用できる大きな 利点がある。

以上説明したように、本発明はP-ROMの配像セルをMIS構造で構成したものであるから、配像セルを配価を設けるための窓の大きさと同じ微小面様にすることが可能であり、又絶縁破壊による書込方式のため、大電流が必要でなく記憶セルと同時に形成される周辺回路のトランジスタのディメンションが小さくでき、従来のP-ROMに比べて飛躍的に集積度を向上させることができると共に周辺トランジスタを作成する場合、その電流増幅率を所定の値に設定するために、ペース幅を十分小さくしても、回り込み防止用ダイオードであるコ

(7)

特品/253-132281(3)

レクタ・ベース接合と配像セルとの距離を十分離 すことができるので普込時にコレクタ・ベース接 合を害することがなく、高い普込歩留の P-ROMが 得られる。

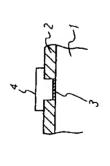
4. 図面の簡単な説明

第1図は本発明のMIS構造を示す図、第2図は記憶セルのマトリックス配列説明図、第3図は本発明の好ましい実施例を示す図である。

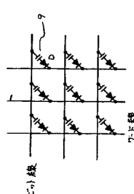
1 ……半導体基板、 2 ……絶縁膜、 3.7 ……導 い絶縁膜、 4.8 ……金属電板、 5 ……コレクタ領 域、 6 ……ベース領域、 9 …… MIS 構造記憶セル N……N型エピタキシャル層、 N[†]……埋込みコレ クタ領域、 P[†]…… P 型絶縁拡散領域、 P …… P 型 サブストレート。

代理人 弁理士 内 鼠 晋

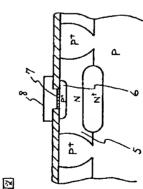
(8)



光 - 区



第2图 (1)



第3.